



2890-8-2

28/2

PTO/SB/21 (08-00)

Approved for use through 10/31/2002. OMB 0651-0031  
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<b>TRANSMITTAL FORM</b>  (to be used for all correspondence after initial filing)	<b>Application Number</b>	10/063,199
	<b>Filing Date</b>	03/28/2002
	<b>First Named Inventor</b>	UWay Tsng
	<b>Group Art Unit</b>	
	<b>Examiner Name</b>	
<b>Total Number of Pages in This Submission</b>		<b>Attorney Docket Number</b> MXIP0061USA

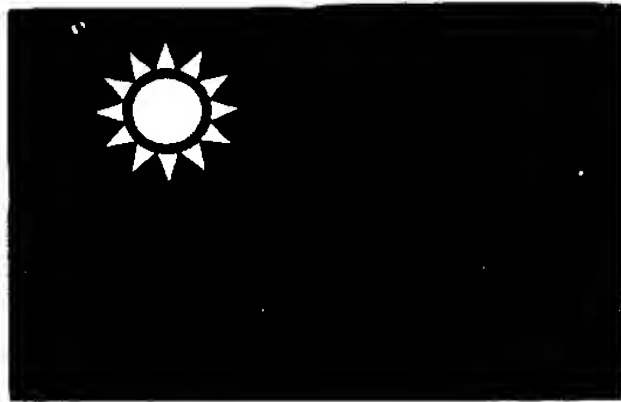
ENCLOSURES (check all that apply)		
<input type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment / Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/ Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Assignment Papers (for an Application) <input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____	<input type="checkbox"/> After Allowance Communication to Group <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to Group (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input type="checkbox"/> Other Enclosure(s) (please identify below)
<b>Remarks</b>		<b>RECEIVED</b> APR 23 2002 COMM. MAIL ROOM

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
<b>Firm or Individual name</b>	WINSTON HSU
<b>Signature</b>	<i>Winston Hsu</i>
<b>Date</b>	3/29/2002

CERTIFICATE OF MAILING			
I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Washington, DC 20231 on this date: <span style="border: 1px solid black; display: inline-block; width: 100px; height: 15px;"></span>			
<b>Typed or printed name</b>			
<b>Signature</b>		<b>Date</b>	

Burden Hour Statement: This form is estimated to take 0.2 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.





中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 06 月 28 日  
Application Date

申請案號：090115840  
Application No.

申請人：旺宏電子股份有限公司  
Applicant(s)

局長

Director General

陳明邦

發文日期：西元 2002 年 3 月 10 日  
Issue Date

發文字號：8993001160  
Serial No.

TO 2800 MAIL ROOM

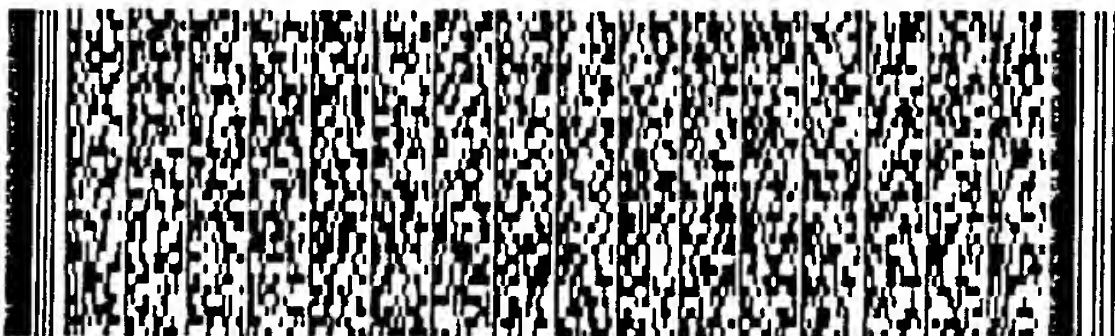
APR 23 2002

RECEIVED

申請日期：	案號：
類別：	

(以上各欄由本局填註)

## 發明專利說明書

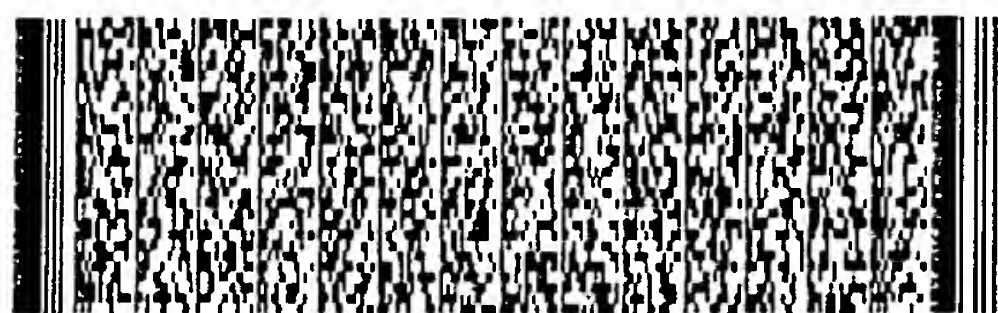
一、 發明名稱	中 文	一種減少電荷儲存流失之非揮發性記憶體製作方法
	英 文	METHOD OF FABRICATING A NON-VOLATILE MEMORY DEVICE TO ELIMINATE CHARGE LOSS
二、 發明人	姓 名 (中文)	1. 曾銷為 2. 張慶裕 3. 張國華
	姓 名 (英文)	1. Tseng, Yu Wei 2. Chang, Ching-Yu 3. Chang, Kuo-Hua
	國 籍	1. 中華民國 2. 中華民國 3. 中華民國
	住、居所	1. 台中縣后里鄉聯合村水門路六十五號 2. 宜蘭縣員山鄉同樂村新城路6鄰17號 3. 台北市延吉街六六之一號四樓
三、 申請人	姓 名 (名稱) (中文)	1. 旺宏電子股份有限公司
	姓 名 (名稱) (英文)	1. Macronix International Co. Ltd.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學園區力行路十六號
	代表人 姓 名 (中文)	1. 胡 定 華
代表人 姓 名 (英文)		1.
		

四、中文發明摘要 (發明之名稱：一種減少電荷儲存流失之非揮發性記憶體製作方法)

本發明係提供一種非揮發性記憶體製作方法。該製作方法是先於一矽基底表面形成一 MOS 記憶體元件，接著形成一 USG 膜，覆蓋於該堆疊閘極結構上，於該 USG 膜上形成一吸氣層，平坦化該吸氣層直至一預定厚度，於該吸氣層上形成一第一阻障層，於該第一阻障層、該吸氣層以及該 USG 膜中形成一接觸洞，通達該 MOS 記憶體元件，形成一第二阻障層，覆蓋於該第一阻障層上以及該接觸洞表面，最後回蝕刻該第二阻障層，以於該接觸洞之側壁上形成一阻障側壁子，其中該第一阻障層以及該阻障側壁子可分別阻絕移動性原子垂直向下以及橫向擴散至該 MOS 記憶體元件。

英文發明摘要 (發明之名稱：METHOD OF FABRICATING A NON-VOLATILE MEMORY DEVICE TO ELIMINATE CHARGE LOSS)

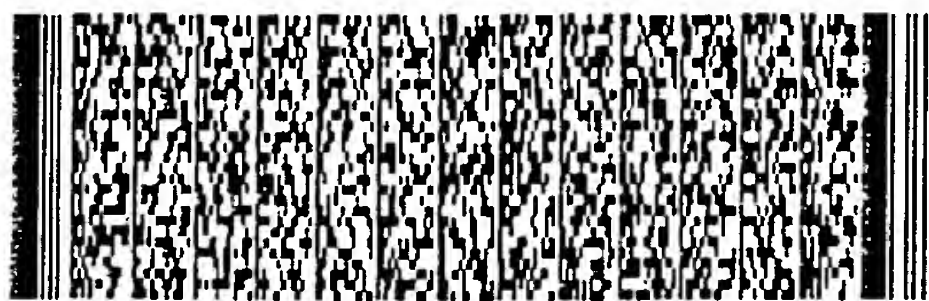
A memory device is formed on a silicon substrate. An USG layer is thereafter formed to cover a stacked gate of the memory device. A gettering layer is formed on the USG layer followed by planarizing of the gettering layer to a predetermined thickness. A first barrier layer is then formed on the gettering layer. A contact hole is formed to penetrate through the first barrier layer, the gettering layer and the USG layer down to the surface of the memory device.



四、中文發明摘要 (發明之名稱：一種減少電荷儲存流失之非揮發性記憶體製作方法)

英文發明摘要 (發明之名稱：METHOD OF FABRICATING A NON-VOLATILE MEMORY DEVICE TO ELIMINATE CHARGE LOSS)

Following that, a second barrier layer is created to cover the first barrier layer and the contact hole. Finally, portions of the second barrier layer are etched back to make a barrier spacer on the side wall of the contact hole. Therein, the first barrier layer and the barrier spacer prevent mobile atoms from vertically diffusing and laterally diffusing, respectively, into the memory device.





本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

## 五、發明說明 (1)

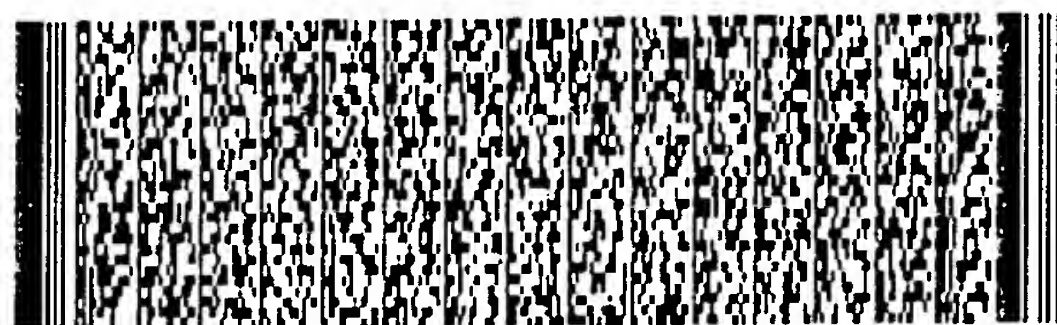
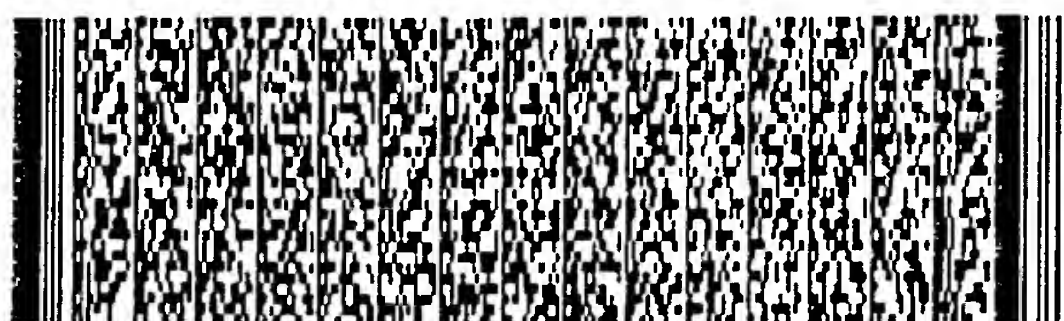
### 發明之領域

本發明係關於一種具高數據維持能力 (high data retention) 之非揮發性記憶體 (non-volatile memory) 製程方法，尤指一種有效防止移動性氫原子擴散的非揮發性記憶體製程方法，以減少記憶體電荷儲存流失。

### 背景說明

在半導體製程中，當金屬化 (metallization) 與平坦化 (planarization) 等後段 (back-end) 製程都完成之後，半導體晶片上之積體電路的主要架構便呈現出來。而這些剛完成主要製程的積體電路容易因不經意的碰撞或曝露於含有水氣的環境下太久而受到損害，或者經由鹼金屬離子的擴散而影響元件特性，因此半導體晶片的表面上在進行封裝 (package) 之前都會再覆蓋一吸氣層 (gettering layer) 或保護層 (passivation)，以保護其下方的積體電路。常見的吸氣層材料有磷矽玻璃 (phosphosilicate glass, PSG) 以及硼磷矽玻璃 (borophosphosilicate glass, BPSG)。

隨著積體電路積集度的增加以及元件尺寸的縮小，許多伴隨產生的問題也逐漸突顯出來，例如短通道效應 (short channel effect)、熱載子 (hot carrier) 現象以



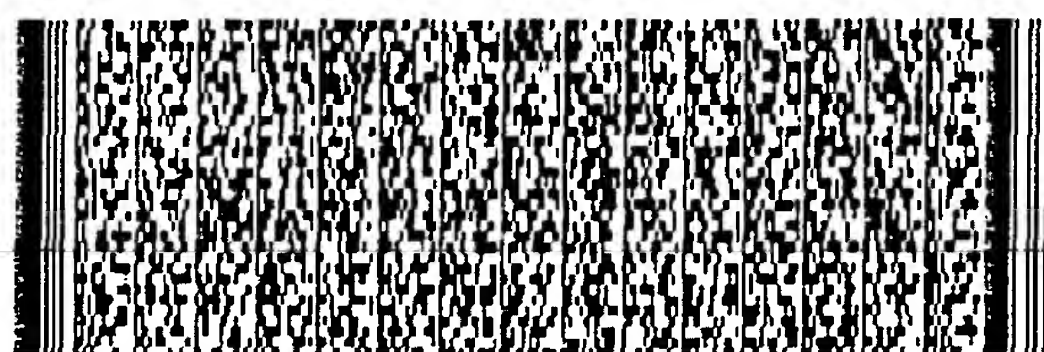


## 五、發明說明 (2)

及帶電雜質離子 (charged impurity ion) 或移動性離子 (mobile ion) 的擴散現象。以非揮發性 (non-volatile) 記憶體為例，例如可抹除且可程式化唯讀記憶體 (erasable and programmable read only memory, EPROM)、快閃記憶體 (flash memory) 以及可電抹除且可程式化唯讀記憶體 (electrically erasable programmable read only memory, EEPROM)，就常發生記憶陣列中高溫數據維持能力 (high temperature data retention) 下降的情形。一般認為這是由於移動性氫原子穿透吸氣層，再擴散進入非揮發記憶體的浮動閘極 (floating gate) 中，造成原先儲存於浮動閘極中的電荷流失 (charge loss)。

雖然，或許在某些情況下，自由氫原子 (free hydrogen atom) 擴散可能帶來好處，例如氫原子可與閘極氧化層-矽介面之間的懸鍵 (dangle bond) 產生矽-氫 (Si-H) 共價鍵結或矽-氫氧基 (Si-OH) 鍵結，降低懸鍵可能改變 MOS 元件啟始電壓 (threshold voltage) 的機率。然而，在非揮發性記憶體元件中，矽-氫 (Si-H) 共價鍵結或矽-氫氧基 (Si-OH) 卻容易被在進行寫入 (programming) 時注入浮動閘極的高速電子打斷，產生熱載子現象，亦可能成氫原子穿過閘極氧化層擴散進入浮動閘極中。

為了避免移動性原子對 MOS 元件或記憶體單元的影響，在美國專利第 6071784 號中，Mehta 等人提供了一種利



### 五、發明說明 (3)

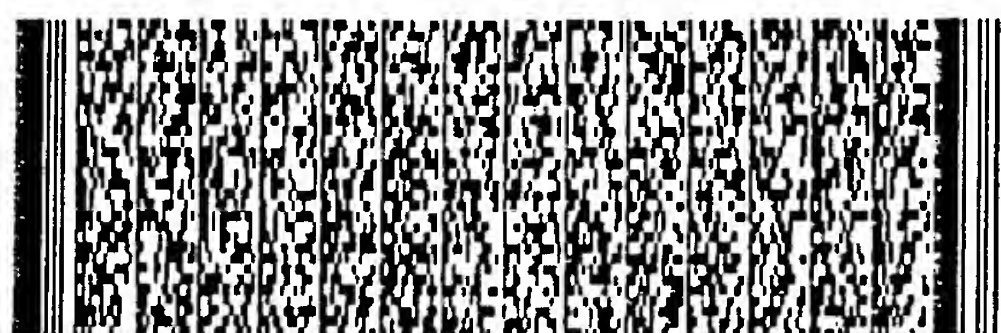
用高溫回火 (annealing) 氮化矽以及氮氧化矽層以降低非揮發性記憶體電荷流失的方法。Mehta等人在 MOS 元件上覆蓋一阻障層 (barrier layer) 或蝕刻停止層 (etch stop layer)，隨後進行一  $750^{\circ}\text{C}$  左右的高溫回火製程，以將阻障層或蝕刻停止層中的移動性氫原子趕出來，然後再於阻障層或蝕刻停止層上形成一介電層。然而此製程的缺點是需要進行一額外的高溫熱製程，對於進行至後段製程的半導體產品較為不利，這是由於高溫熱製程容易造成元件性質的改變。此外，Mehta等人亦忽略了移動性氫原子可能經由接觸洞 (contact hole) 擴散進入半導體元件中的可能。

因此，本發明之主要目的在於提供一種不需要利用高溫回火處理阻障層的半導體製程方法，以降低非揮發性記憶體電荷流失，維持記憶體的數據維持能力。

本發明之另一目的在於提供一種非揮發性記憶體製程方法，以有效隔絕移動性氫原子擴散進入半導體元件中。

### 發明之詳細說明

請參閱圖一至圖六，圖一至圖六為本發明較佳實施例之示意圖。首先，如圖一所示，圖一顯示一非揮發性記憶體之部份區域 10 的剖面放大圖，區域 10 係由一場氧化

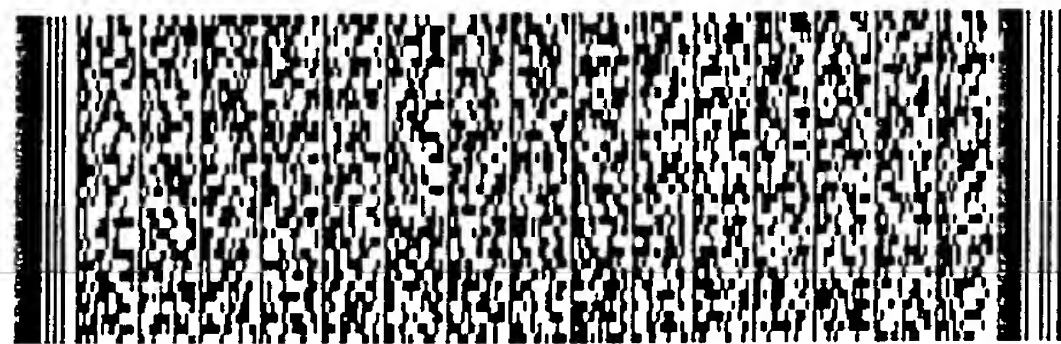
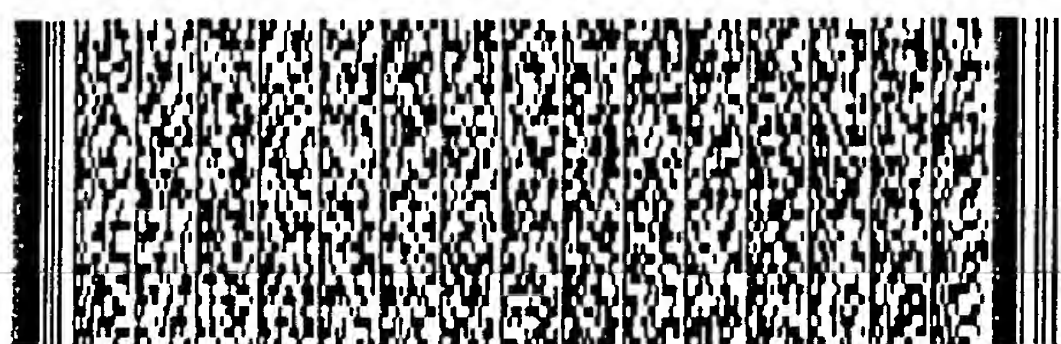


#### 五、發明說明 (4)

(field oxide)層區域 14 以及 16 所隔離。為方便說明本發明之技術特徵，非揮發性記憶體之其它區域，例如週邊電路區域以及其它記憶陣列單元，則不顯示在圖一以及隨後之其它圖示中。此外，區域 10 亦可以利用其它電性隔離 (electrical isolation) 技術隔離，例如淺溝隔離 (shallow trench isolation, STI) 技術。

本發明首先於區域 10 之矽基底 12 上形成一堆疊記憶體閘極結構 11，包括有一浮動閘極 18、一 ONO 介電層 20 形成於浮動閘極 18 之上以及一控制閘極 28 堆疊於 ONO 介電層 20 之上。浮動閘極 18 係藉由一閘極氧化層 32 與矽基底 12 隔離，用來儲存電荷。一源極 22 以及一汲極 24 則形成於堆疊記憶體閘極結構 11 兩側的矽基底 12 中。由於製作堆疊記憶體閘極結構 11 並非本發明之重點，且為習知該項技藝者所熟知之技術，因此不再贅述詳細製程步驟。此外，雖然本發明以堆疊記憶體結構為較佳實施例，然而其它類似之非揮發性記憶體結構，例如分離閘極快閃記憶體，亦同樣適用於本發明之範圍。

接著，如圖二所示，利用化學氣相沈積 (chemical vapor deposition, CVD) 技術，形成一未摻雜矽玻璃 (undoped silicate glass, USG) 薄膜 40 覆蓋於堆疊記憶體閘極結構 11 表面、源極 22 與汲極 24 之上以及矽基底 12 表面之其它區域上。接著於未摻雜矽玻璃薄膜 40 上形成一吸

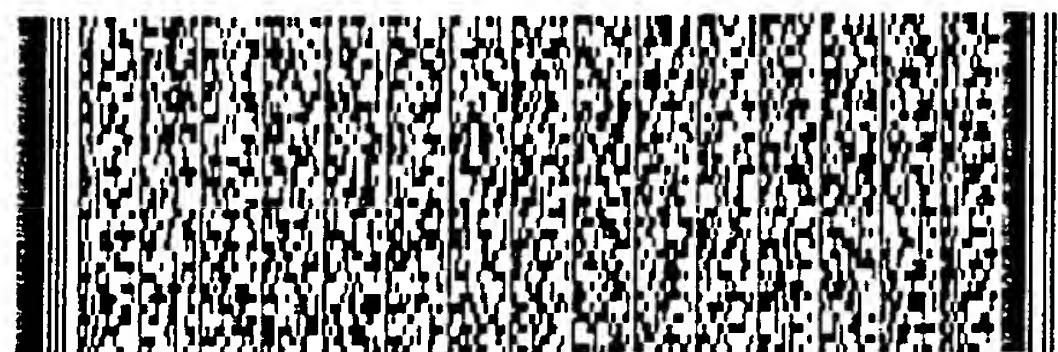
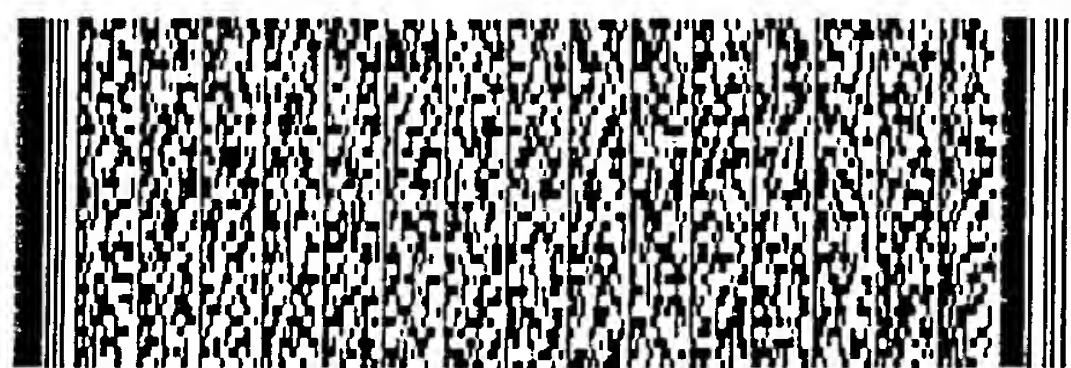


#### 五、發明說明 (5)

氣層 42。吸氣層 42 的厚度約為 7000 至 9000 埃 (angstrom) 之間，其可以為 PSG、BPSG 或其它具有類似吸氣特性之介電層，在本較佳實施例中，則建議使用 PSG 作為吸氣層 42 的材質。未摻雜矽玻璃薄膜 40 可用來阻擋吸氣層 42 中的雜質，主要為硼原子以及磷原子，進一步擴散至堆疊記憶體閘極結構 11。

PSG 吸氣層 42 以及 BPSG 吸氣層 42 皆可利用常壓氣相沈積 (atmospheric pressure CVD, APCVD) 技術或電漿加強氣相沈積 (plasma-enhanced CVD, PECVD) 技術形成，利用反應氣體如  $B_2F_6$ 、TEB (tri-ethyl borate)、 $PH_3$ 、TMPO (tri-methyl phosphate)、臭氧以及 TEOS (tetra-ethyl ortho-silicate)，在溫度 400 至 550°C 下進行沈積。TEB、TMPO 以及 TEOS 在室溫常壓下皆為液態，因此在使用時，可利用一發泡室 (bubbler) 並利用氮氣或氬氣等惰性氣體作為載氣 (carrier gas)，將 TEB、TMPO 或 TEOS 帶入 CVD 反應器 (未顯示) 中。

仍然如圖二所示，在沈積吸氣層 42 之後，接著進行一平坦化製程，例如化學機械研磨 (chemical mechanical polishing, CMP) 製程，平坦化吸氣層 42。經過 CMP 研磨後之吸氣層 42 的厚度可降低至約為 5000 至 7000 埃之間，端視不同產品而定。例如，在本發明之較佳實施例中，堆疊記憶體閘極結構 11 之最高點距離 CMP 後吸氣層 42 表面之距離





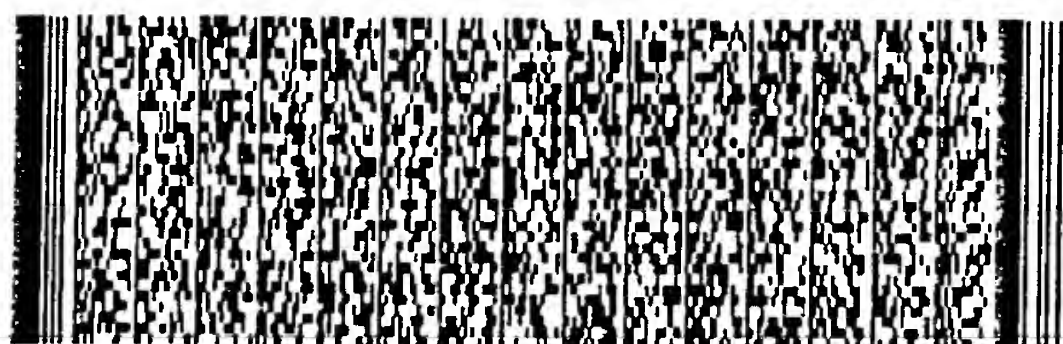
#### 五、發明說明 (6)

約為 2000至 4000埃左右，較佳為 3000埃。利用本發明方法，吸氣層 42的厚度可以減至最低，其優點是可以減少後續形成的接觸洞高寬比 (aspect ratio)。

接下來，於吸氣層 42上依序沈積一氧化層 43以及一阻障層 44。氧化層 43係利用 PECVD方法形成，其厚度約為 2000埃，可用來填補 CMP製程在吸氣層 42表面所產生的刮痕。阻障層 44可以為氮氧化矽 (silicon oxy-nitride)、氮化矽或其它具有類似阻絕移動性原子擴散之特性的材料所構成，在本發明之較佳實施例中，則建議使用氮氧化矽作為阻障層 44的材質。

氮氧化矽阻障層 44的沈積係利用 LPCVD方法形成，反應氣體有矽甲烷 (silane)、氧化亞氮 (nitrous oxide,  $N_2O$ )以及氮氣，反應壓力係介於 5至 6托耳 (Torr)之間，反應溫度係介於 350至 450°C 之間。依據上述條件所形成之氮氧化矽阻障層 44折射率 (refraction index, RI)需介於 2至 2.4之間 (@UV248nm)，而介電常數 (dielectric constant,  $k$ )則需介於 0.4至 0.6之間。氮氧化矽阻障層 44的厚度約為 300至 1000埃，較佳為 500埃。

接著如圖三所示，進行一黃光及蝕刻製程，於阻障層 44、氧化層 43、吸氣層 42以及未摻雜矽玻璃薄膜 40中蝕刻出一寬約 0.2微米 (micrometer)之接觸洞 (contact

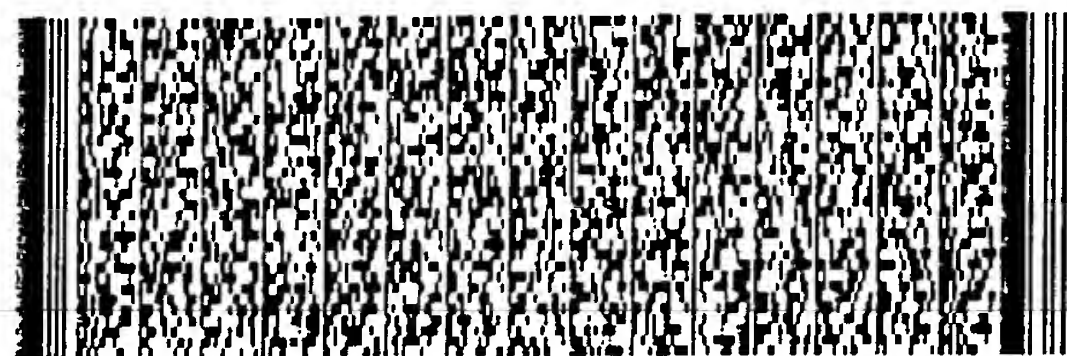
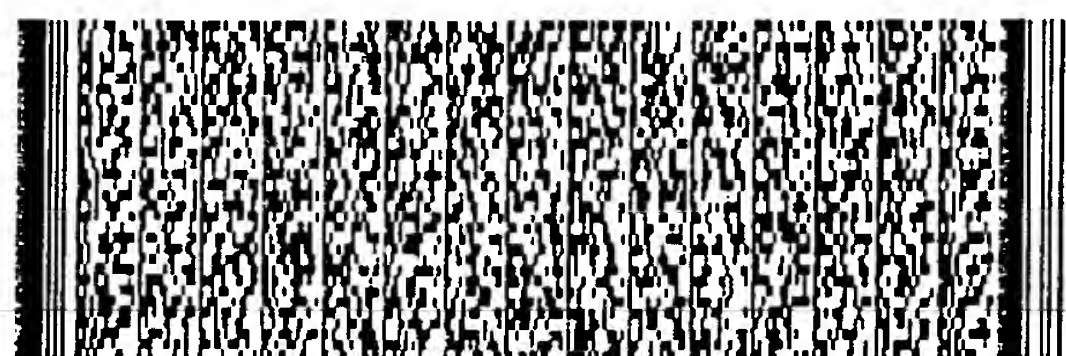


#### 五、發明說明 (7)

hole)50，通達汲極 24。蝕刻阻障層 44、氧化層 43、吸氣層 42以及未摻雜矽玻璃薄膜 40可使用同一蝕刻機台，只改變蝕刻氣體等參數，或使用不同蝕刻機台，而此技術為習知該項技藝者所熟知，因此不再贅述詳細步驟。

接著，如圖四所示，於阻障層 44表面以及接觸洞 50表面沈積一阻障層 52。阻障層 52可以為氮氧化矽 (silicon oxy-nitride)、氮化矽或其它具有類似阻絕移動性原子擴散之特性的材料所構成，在本發明之較佳實施例中，則建議使用氮氧化矽作為阻障層 52的材質。氮氧化矽阻障層 52的沈積係利用 LPCVD方法形成，反應氣體有矽甲烷 (silane)、氧化亞氮 ( $N_2O$ )以及氮氣，反應壓力係介於 5至 6托耳 (Torr)之間，反應溫度係介於 350至 450°C 之間。依據上述條件所形成之氮氧化矽阻障層 52折射率 (RI)需介於 2至 2.4之間 (@UV248nm)，而介電常數 (k)則需介於 0.4至 0.6之間。氮氧化矽阻障層 52的厚度約為 250至 350埃，較佳為 300埃。需注意的是，阻障層 44的厚度約超過阻障層 52厚度 10至 50%左右。

接著如圖五所示，進行一回蝕刻製程，蝕刻阻障層 52至汲極 24表面，以於接觸洞 50之側壁上形成一阻障側壁子 53。阻障側壁子 53之厚度需最少維持 100埃以上。如圖六所示，隨後於阻障層 44以及阻障側壁子 53表面上形成一黏著層 (adhesive layer)55，其可以為氮化鈦 (TiN)/鈦





#### 五、發明說明 (8)

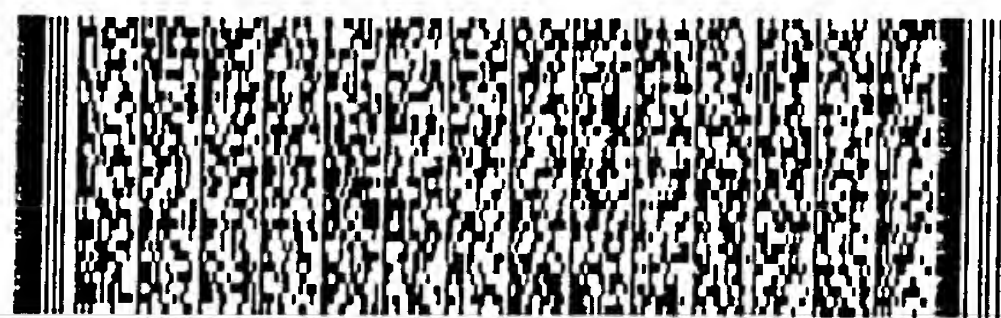
(Ti)複合金屬或其它習知該項技藝者所常使用之黏著材料。最後進行一接觸插塞製程，利用傳統的CVD或其它方法將接觸洞50填滿金屬鎢，隨後回蝕刻金屬鎢，蝕刻停止於黏著層55上，從而完成接觸插塞56。

相較於習知方法，本發明能有效阻絕移動性原子的擴散進入堆疊記憶體閘極結構11中，避免移動性原子，例如自由氫原子以及水氣，造成的浮動閘極電荷流失，這要歸功於阻障層44隔絕了移動性原子由堆疊記憶體閘極結構11正上方擴散進入吸氣層42的路徑，以及阻障側壁子53阻絕了移動性原子經由接觸洞50或接觸插塞56橫向擴散進入堆疊記憶體閘極結構11的路徑。

簡言之，本發明方法至少具有以下之優點：

- (1)能有效消除移動性原子對於記憶體元件，尤其是浮動閘極，的影響；
- (2)不需要進行高溫的回火製程；以及
- (3)可降低吸氣層42的厚度，減少接觸洞高寬比。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖示之簡單說明

圖一至圖六為本發明較佳實施例之方法示意圖。

圖示之符號說明

10	區域		
11	堆疊記憶體閘極結構		
12	矽基底	14、16	場氧化層區域
18	浮動閘極	20	ONO介電層
22	源極	24	汲極
28	控制閘極	32	閘極氧化層
40	未摻雜矽玻璃薄膜	42	吸氣層
43	氧化層	44、52	阻障層
50	接觸洞	53	阻障側壁子
55	黏著層	56	接觸插塞



## 六、申請專利範圍

1. 一種於一半導體基底上製作一記憶體元件的方法，該半導體基底表面包含有一預定區域，其內形成有一堆疊閘極結構、一源極以及一汲極分別形成於該堆疊閘極結構兩側之該半導體基底中，該方法包含有下列步驟：

於該半導體基底上形成一未摻雜矽玻璃 (undoped silicate glass, USG) 膜，並且覆蓋於該堆疊閘極結構、該源極以及該汲極表面；

於該 USG 膜上形成一吸氣層 (gettering layer)；

平坦化該吸氣層直至一預定厚度；

於該吸氣層上形成一第一阻障層 (barrier layer)；

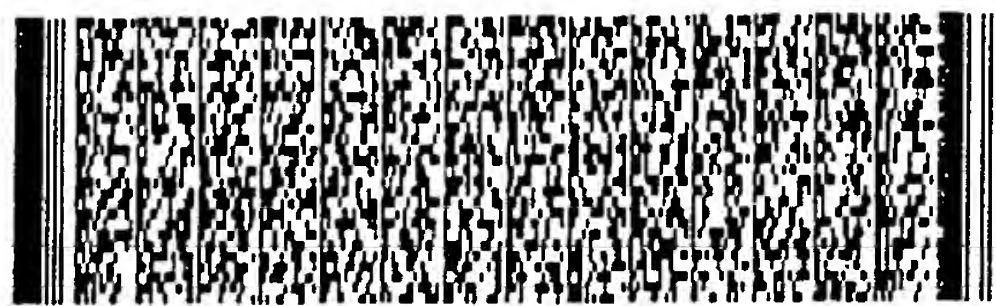
於該第一阻障層、該吸氣層以及該 USG 膜中形成一接觸洞，通達該源極、該汲極或該堆疊閘極結構；

形成一第二阻障層，覆蓋於該第一阻障層上以及該接觸洞表面；以及

回蝕刻該第二阻障層，以於該接觸洞之側壁上形成一阻障側壁子；

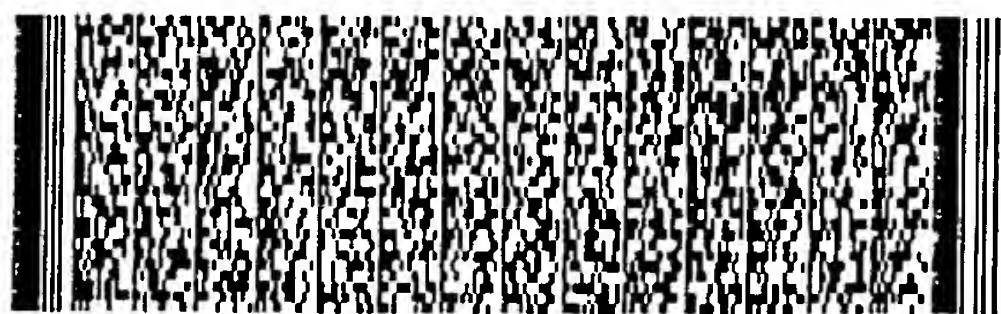
其中該第一阻障層可阻絕移動性原子 (mobile atoms) 由該堆疊閘極結構上方向下擴散至該堆疊閘極結構，而該阻障側壁子可阻絕移動性原子經由該接觸洞橫向擴散至該堆疊閘極結構。

2. 如申請專利範圍第 1 項之方法，其中該第一阻障層係由氮氧化矽或氮化矽所構成。



六、申請專利範圍

3. 如申請專利範圍第2項之方法，其中該第一阻障層的厚度係介於300至1000埃之間。
4. 如申請專利範圍第1項之方法，其中該第一阻障層的折射率 (refraction index, RI) 係介於2至2.4之間 (@UV248nm)。
5. 如申請專利範圍第1項之方法，其中該第一阻障層的介電常數 (dielectric constant, k) 係介於0.4至0.6之間。
6. 如申請專利範圍第1項之方法，其中該第二阻障層係由氮氧化矽或氮化矽所構成。
7. 如申請專利範圍第6項之方法，其中該第二阻障層的厚度係介於250至350埃之間。
8. 如申請專利範圍第1項之方法，其中該第二阻障層的折射率 (RI) 係介於2至2.4之間 (@UV248nm)。
9. 如申請專利範圍第1項之方法，其中該第二阻障層的介電常數係介於0.4至0.6之間。
10. 如申請專利範圍第1項之方法，其中該堆疊閘極結構



#### 六、申請專利範圍

包含有一浮動閘極、一ONO介電層形成於該浮動閘極之上以及一控制閘極堆疊於該ONO介電層之上。

11. 如申請專利範圍第1項之方法，其中該吸氣層的厚度約為7000至9000埃之間。

12. 如申請專利範圍第1項之方法，其中該吸氣層係由PSG或BPSG所構成。

13. 如申請專利範圍第1項之方法，其中該預定厚度約為5000至7000埃之間。

14. 如申請專利範圍第1項之方法，其中該預定區域係為一主動區域。

15. 如申請專利範圍第14項之方法，其中該主動區域係由一絕緣區域所隔離。

16. 如申請專利範圍第1項之方法，其中該半導體基底係為一矽基底。

17. 如申請專利範圍第1項之方法，其中該方法在回蝕刻該第二阻障層之後，尚包含有下列步驟：  
於該第一阻障層以及該阻障側壁上形成一黏著層；

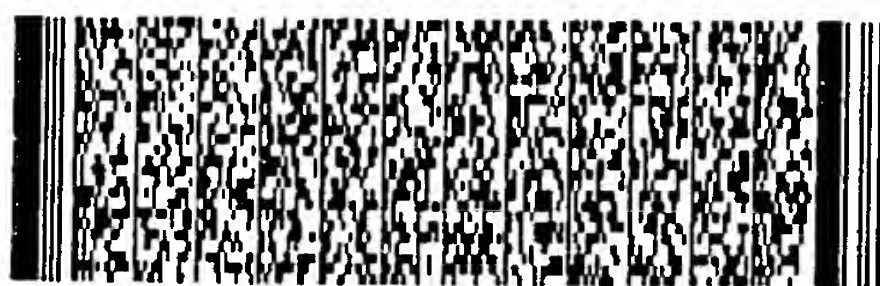


六、申請專利範圍

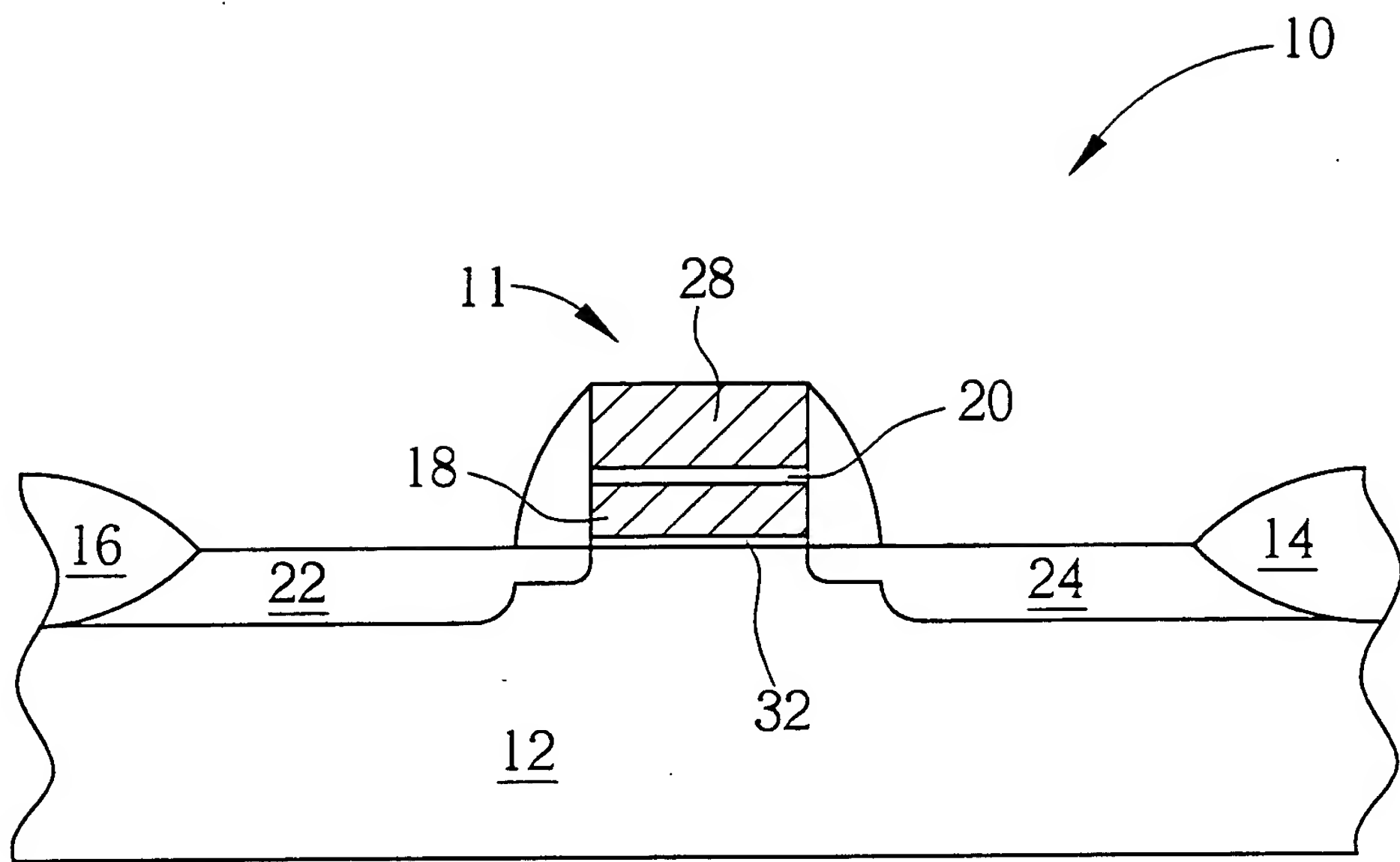
進行一接觸插塞製程，將該接觸洞填滿一預定金屬材料；  
以及  
回蝕刻該預定金屬材料，以於該接觸洞中形成一接觸插塞。

18. 如申請專利範圍第 17 項之方法，其中該預定金屬材料係為鎢。

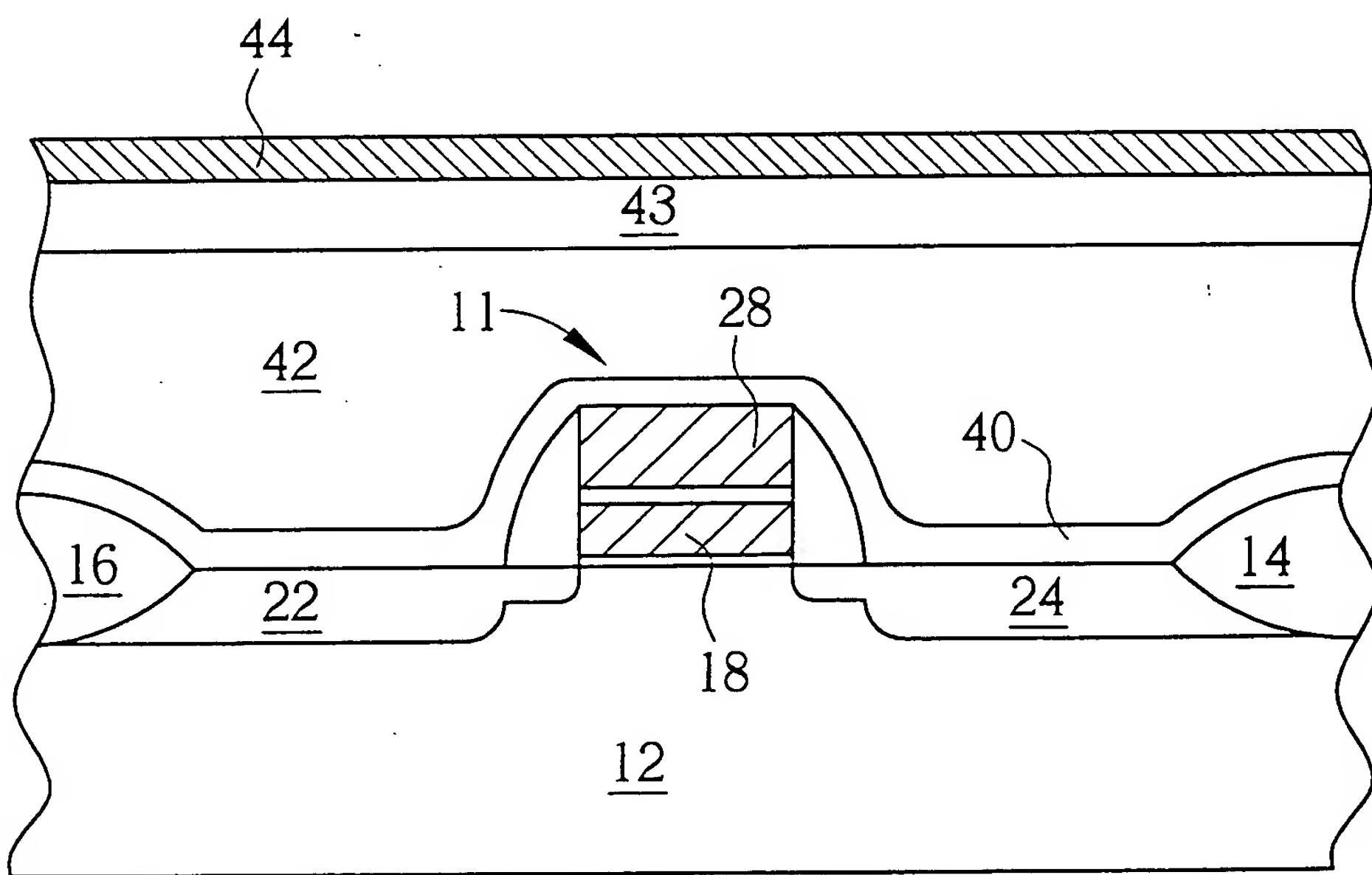
19. 如申請專利範圍第 1 項之方法，其中該第一阻障層的厚度約超過該第二阻障層厚度 10 至 50% 左右。



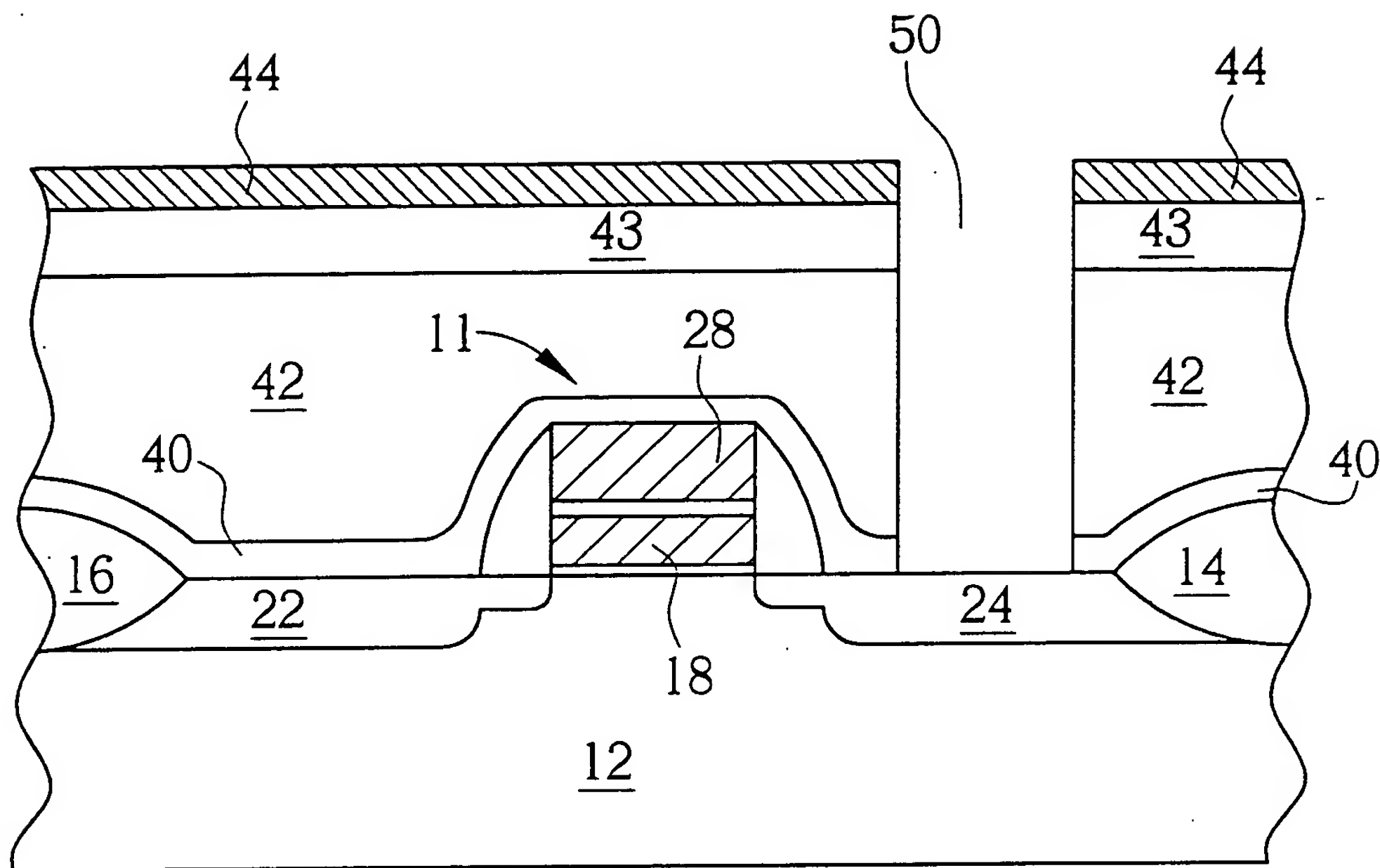




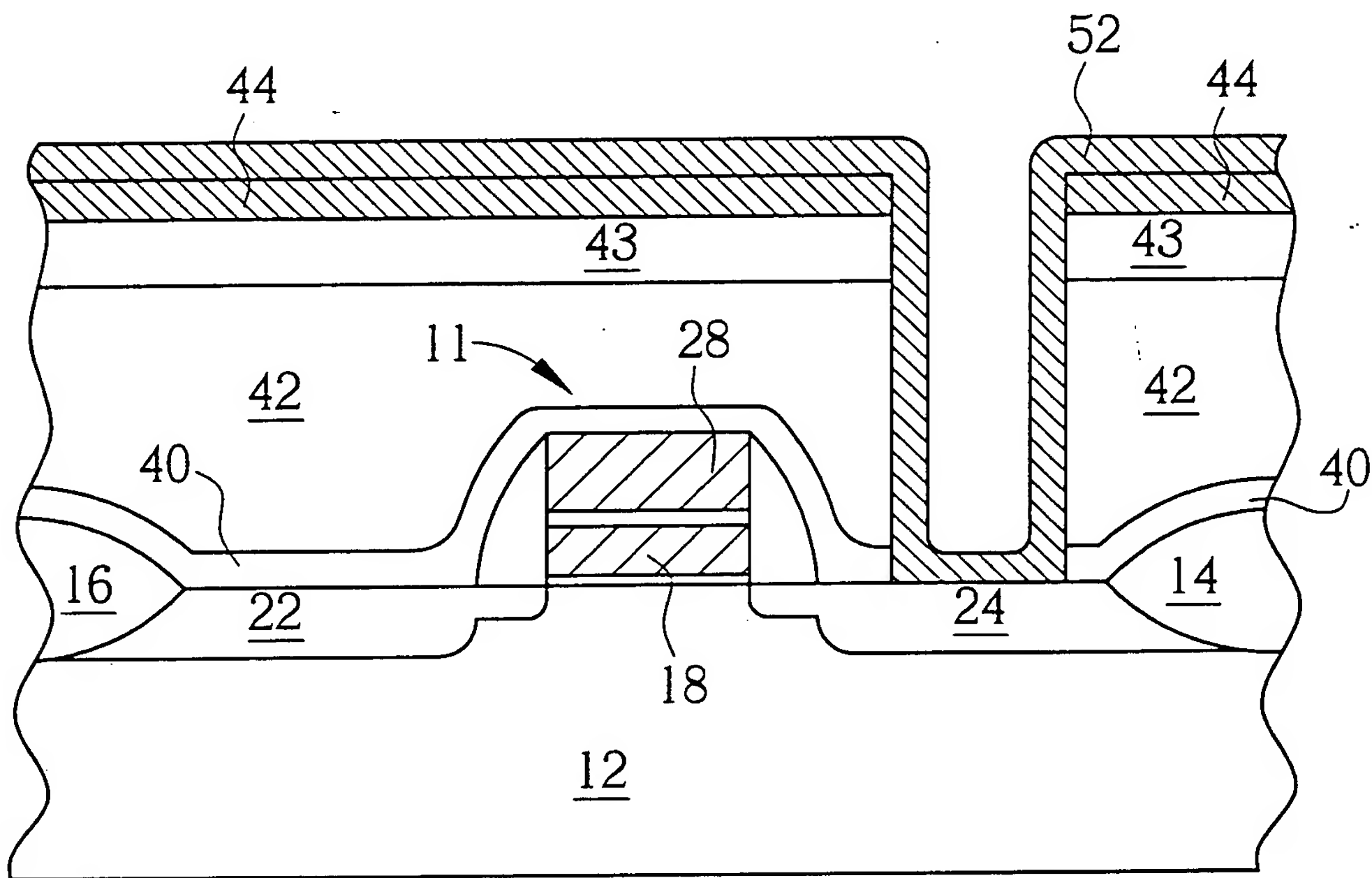
圖一



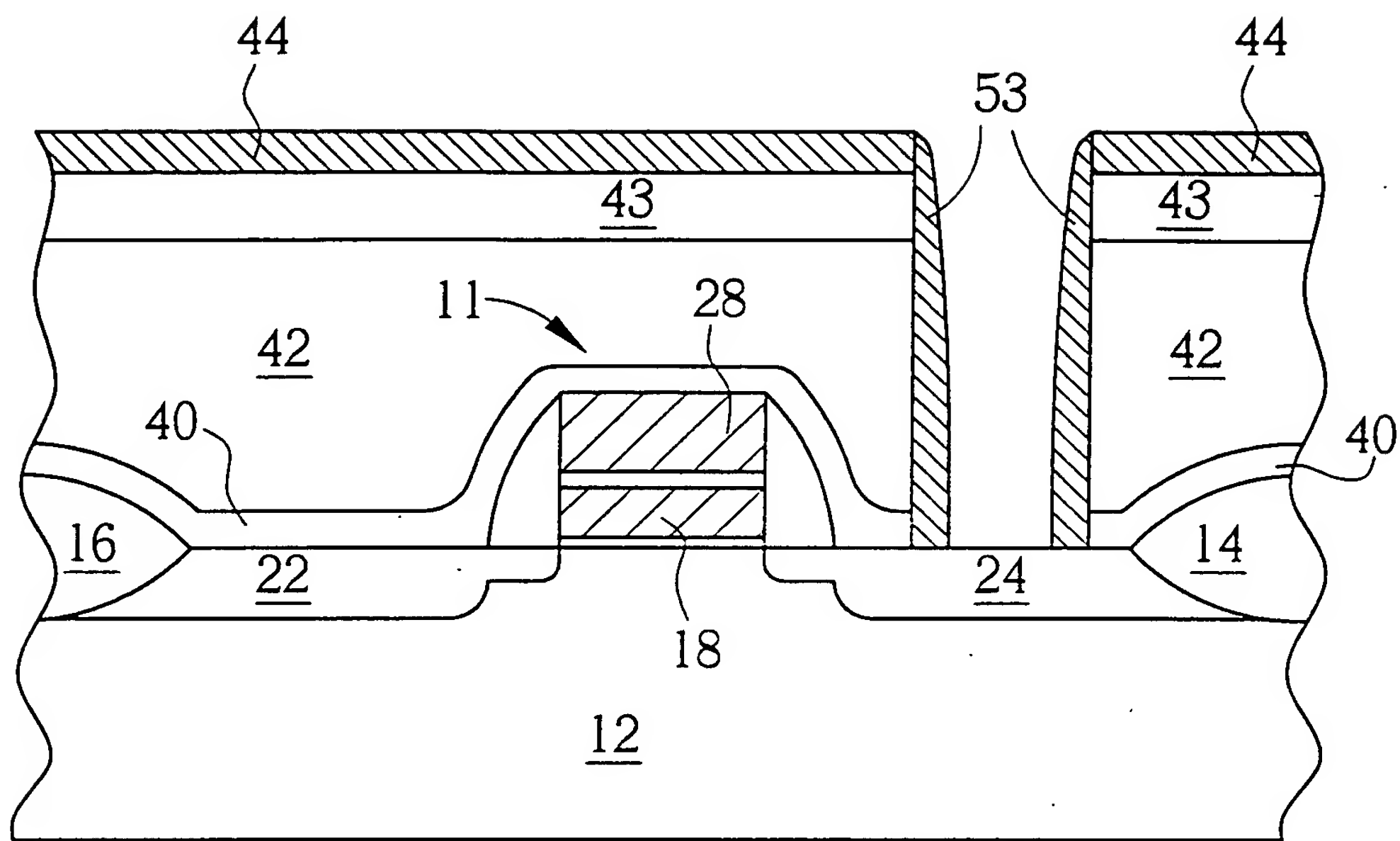
圖二



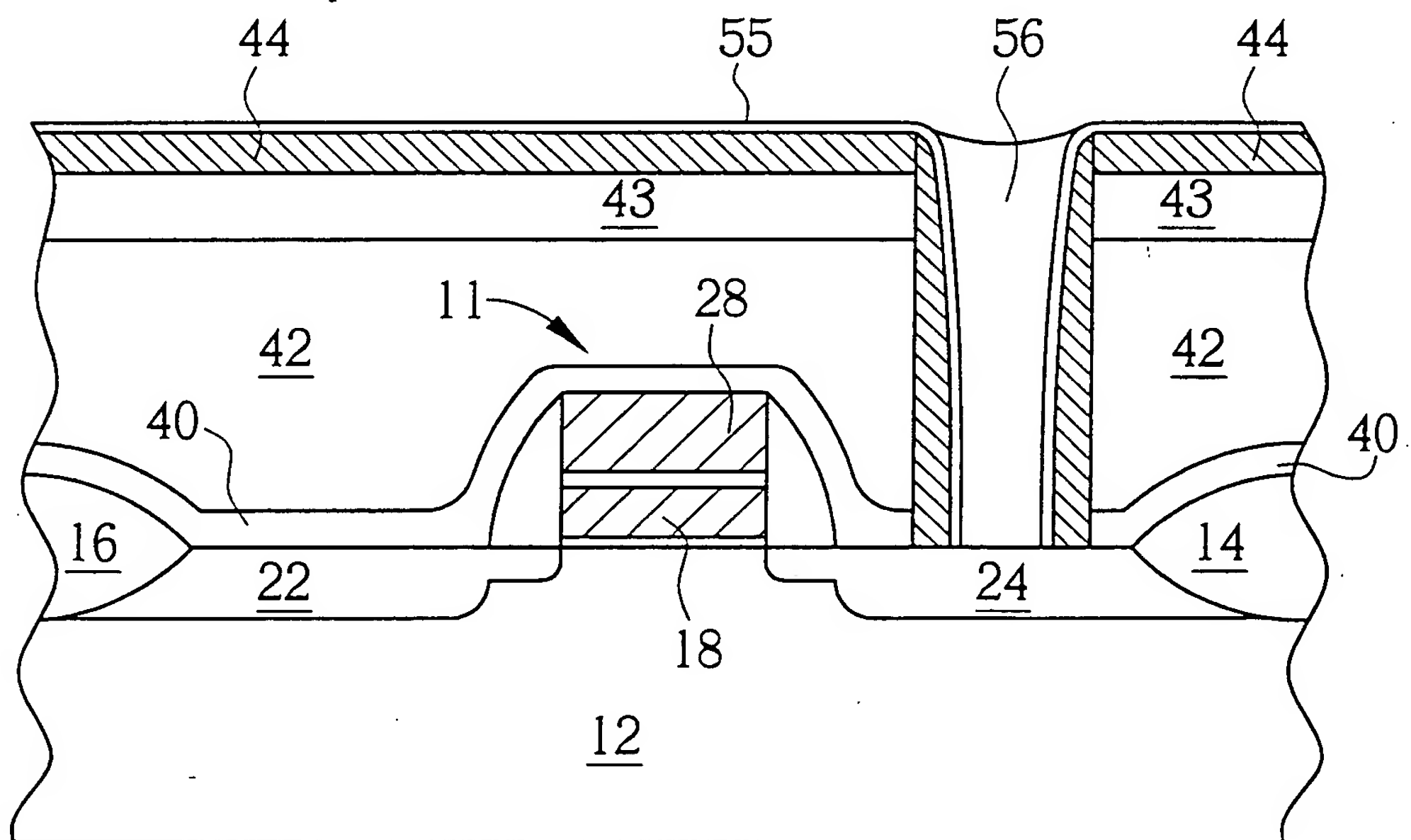
圖三



圖四



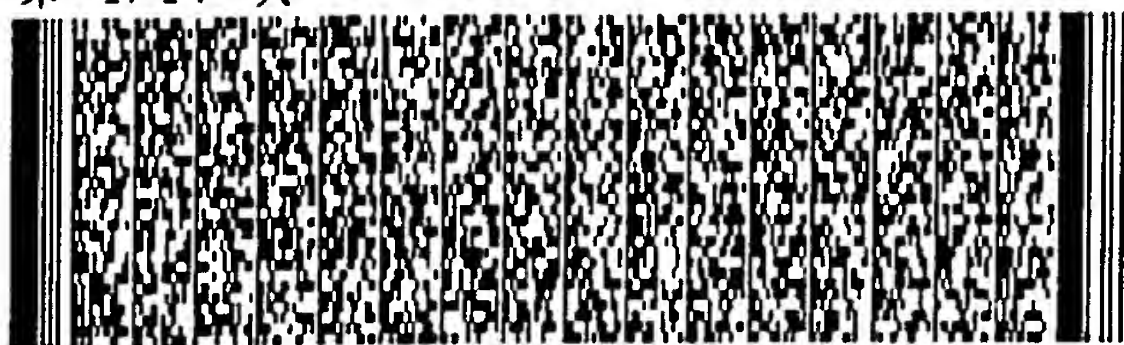
圖五



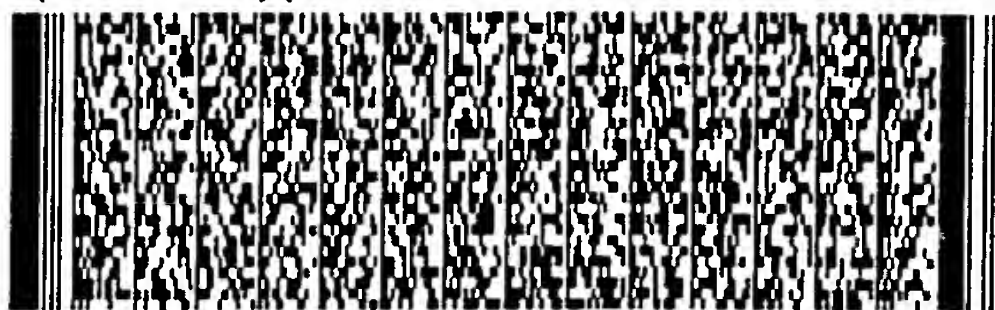
圖六



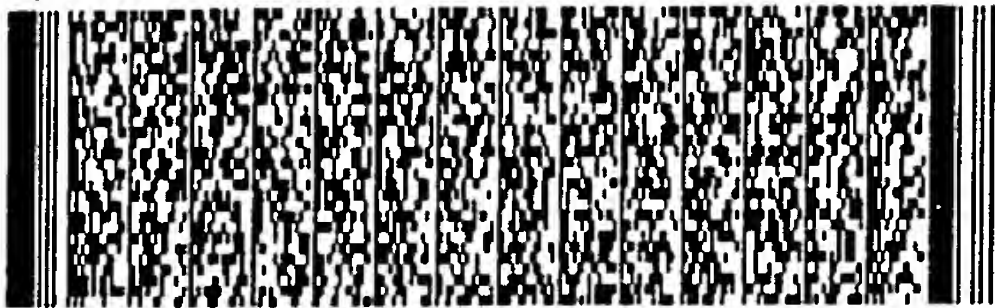
第 1/17 頁



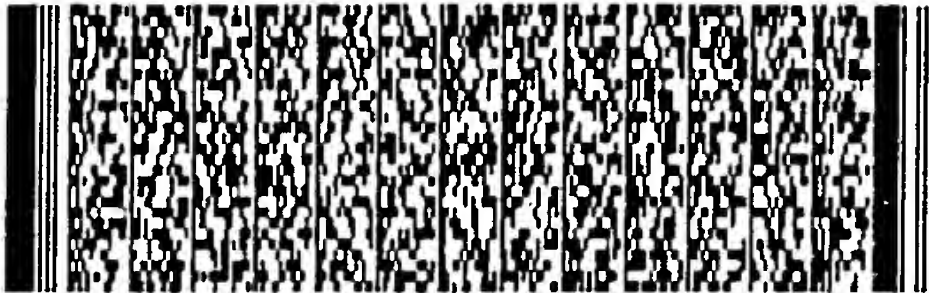
第 2/17 頁



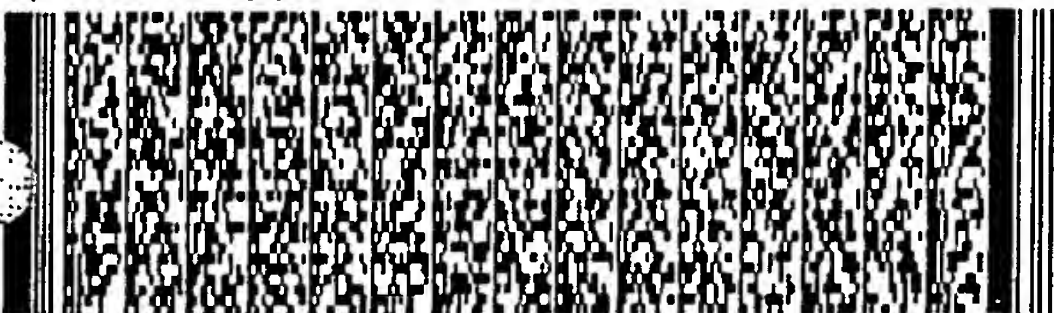
第 2/17 頁



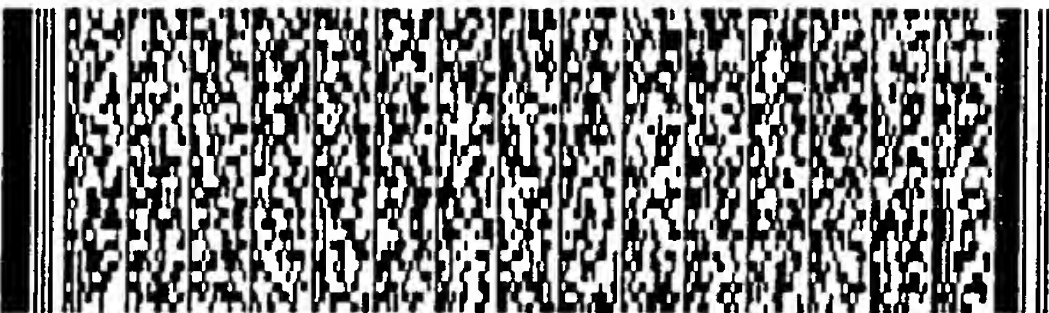
第 3/17 頁



第 5/17 頁



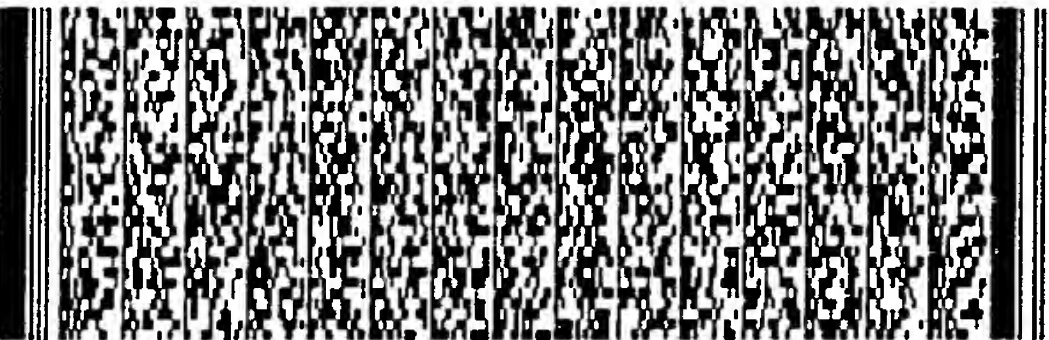
第 5/17 頁



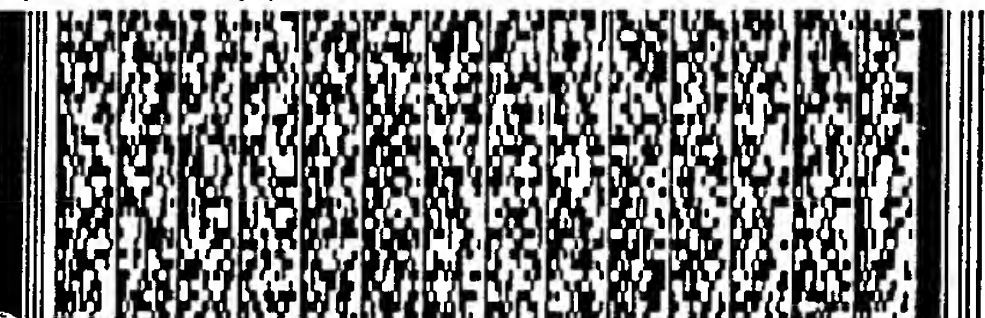
第 6/17 頁



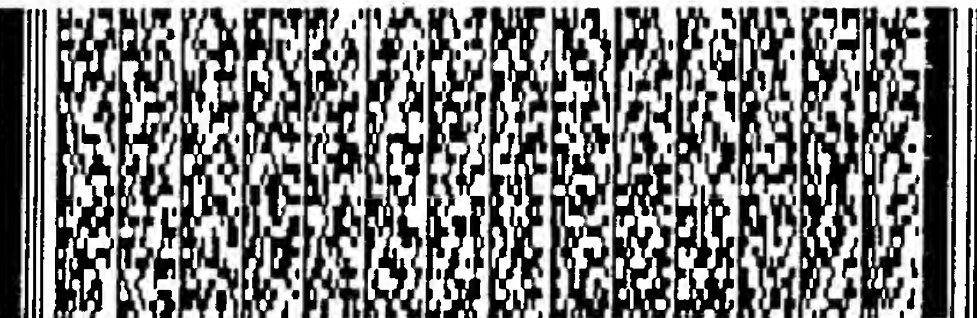
第 6/17 頁



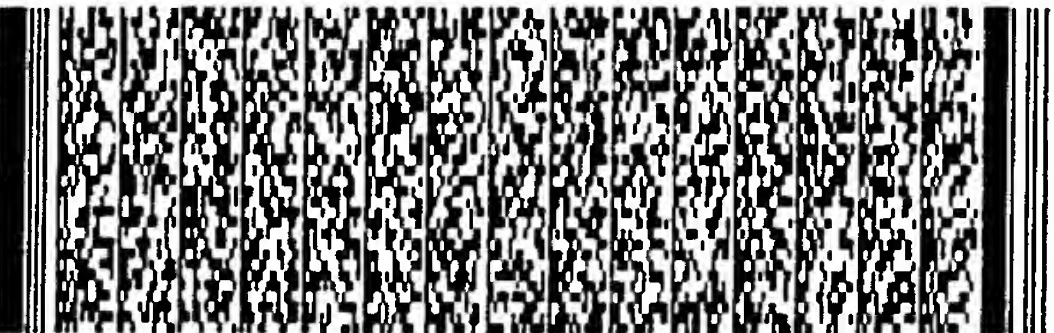
第 7/17 頁



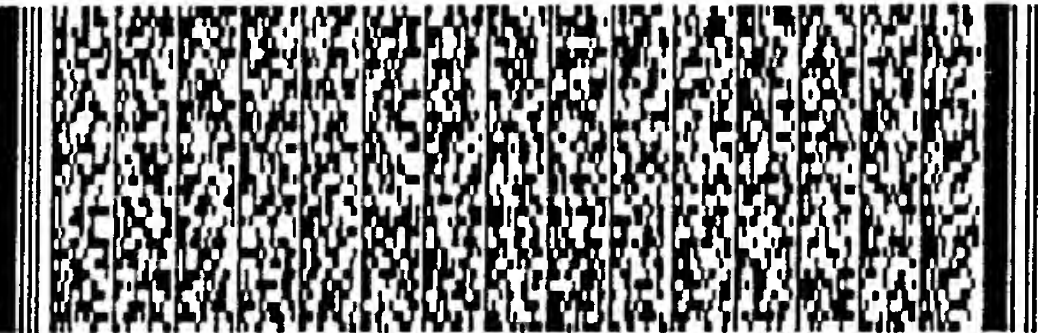
第 7/17 頁



第 8/17 頁



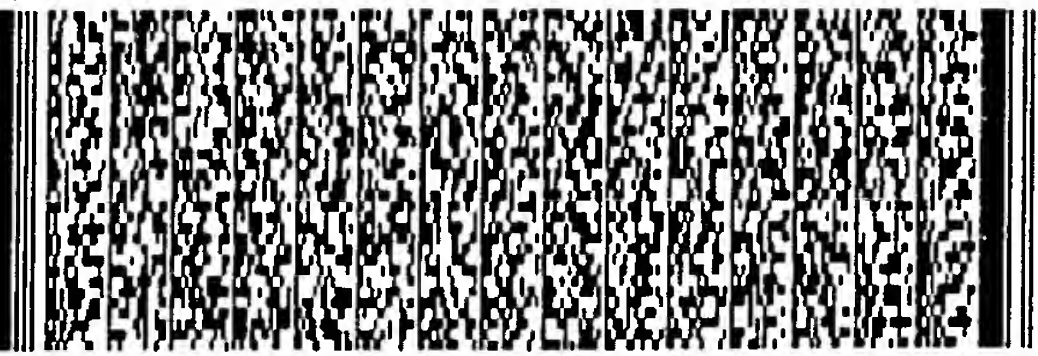
第 8/17 頁



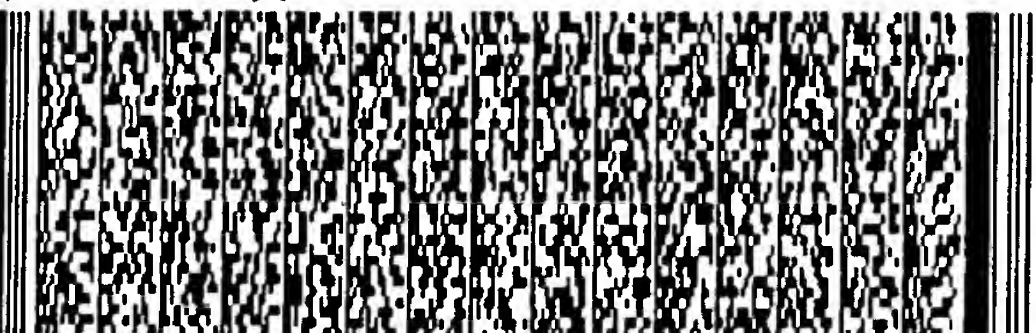
第 9/17 頁



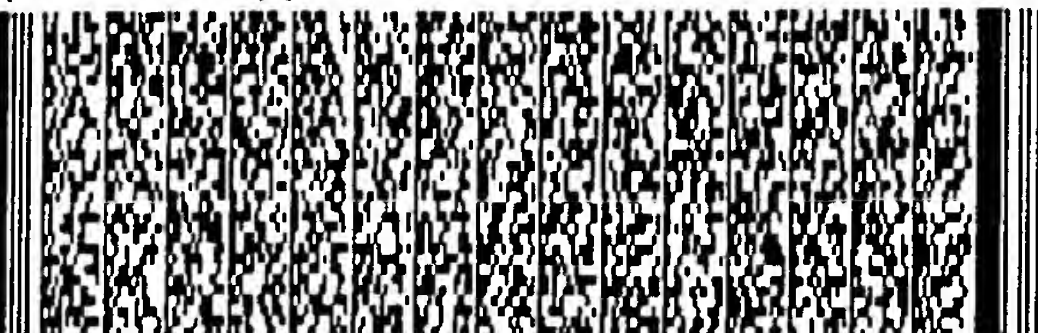
第 9/17 頁



第 10/17 頁

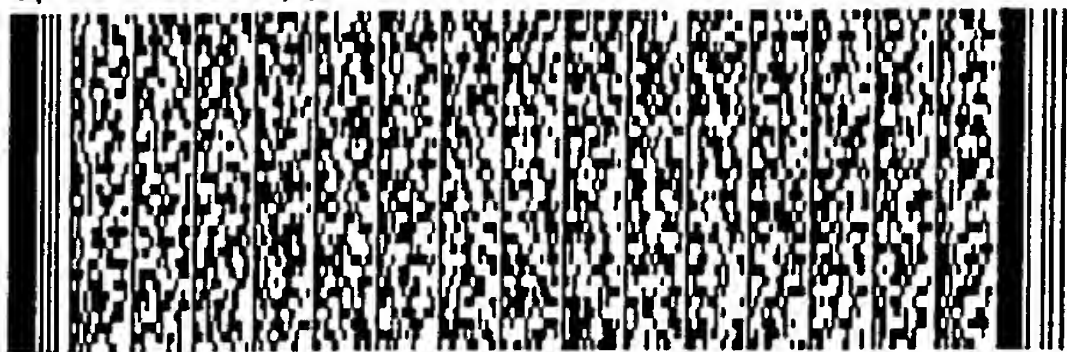


第 10/17 頁





第 11/17 頁



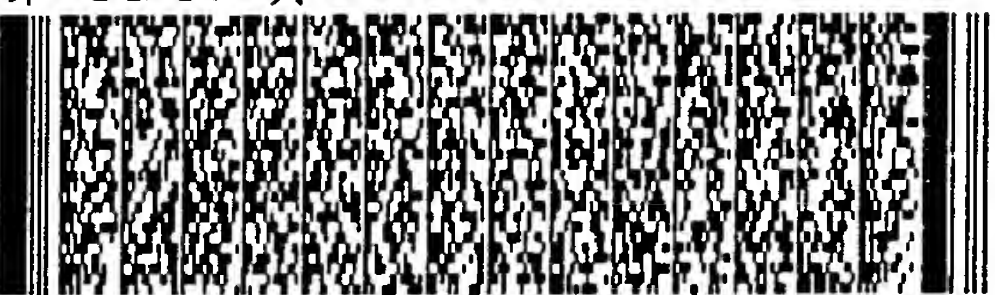
第 12/17 頁



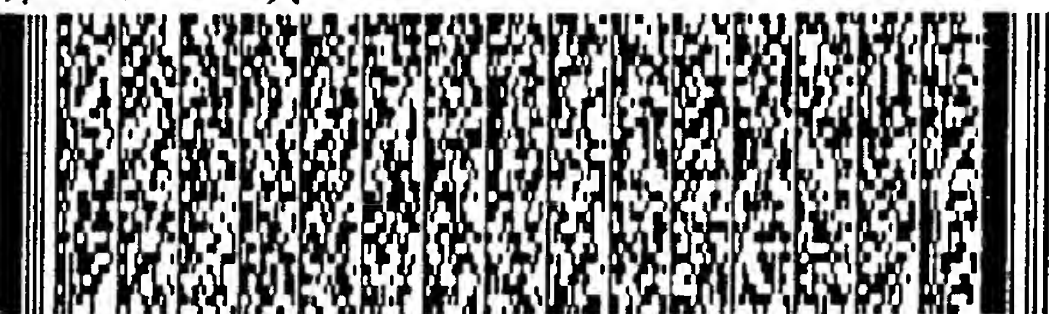
第 13/17 頁



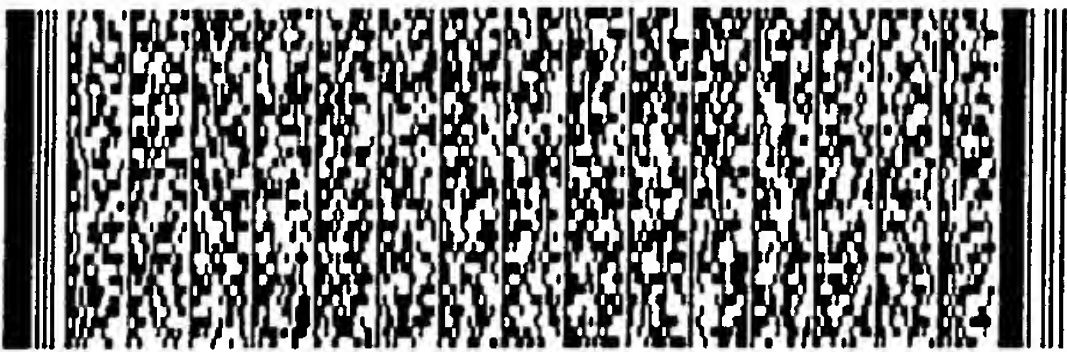
第 14/17 頁



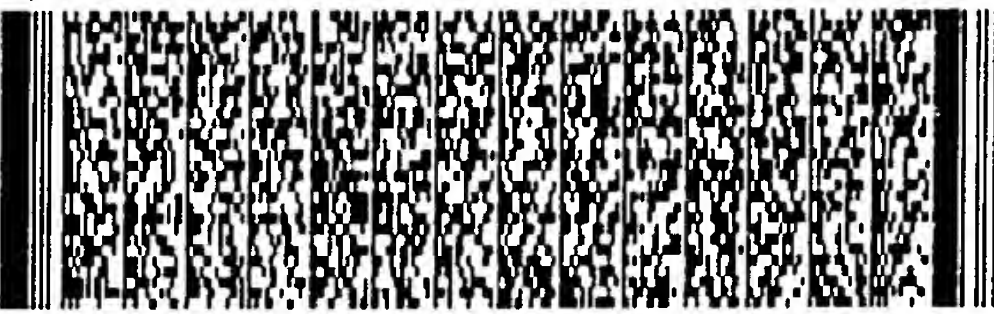
第 16/17 頁



第 11/17 頁



第 12/17 頁



第 14/17 頁



第 15/17 頁



第 17/17 頁

